

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091491

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 23/50

(21)Application number : 10-267217

(71)Applicant : KANKYO DENJI GIJUTSU
KENKYUSHO:KK
TDK CORP

(22)Date of filing : 07.09.1998

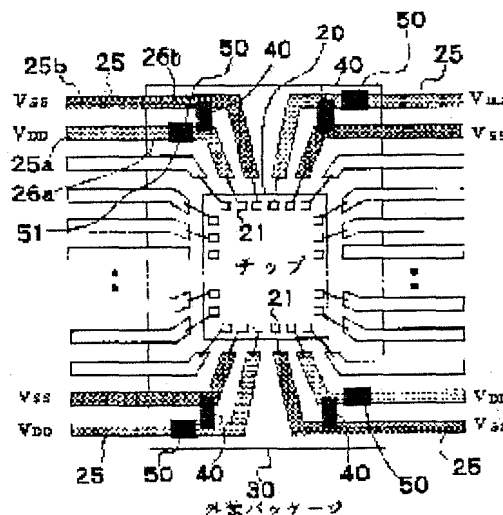
(72)Inventor : AKINO NAOHARU
AKACHI YOSHIAKI
ONO YASUHIRO

(54) SEMICONDUCTOR DEVICE WITH BUILT-IN DECOUPLING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance suppression effect of electromagnetic interfering noise which is generated from an IC or LSI constituted with high cost performance by setting the impedance of power supply as viewed from a decoupling capacitor higher than the impedance on the IC, LSI side as viewed from the capacitor.

SOLUTION: A capacitor 40 connected between a pair of inner leads 26a, 26b for DC power supply is arranged in a coating package 30 along with a series impedance element 50, constituted by providing a composite magnetic material 51 around at least one of the pair of inner leads 26a, 26b in which the composite magnetic material 51 is disposed closer to the outside than the connection point of the capacitor 40 to the inner leads 26a, 26b.



LEGAL STATUS

[Date of request for examination]

12.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91491

(P2000-91491A)

(43) 公開日 平成12年3月31日(2000.3.31)

(51) Int.Cl.⁷

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

テマコード* (参考)

X 5 F 0 6 7

審査請求 未請求 請求項の数4 F D (全 9 頁)

(21) 出願番号

特願平10-267217

(22) 出願日

平成10年9月7日(1998.9.7)

(71) 出願人 596183206

株式会社環境電磁技術研究所

宮城県仙台市青葉区南吉成6丁目6番地の3

(71) 出願人 000003067

ディーディーケー株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 秋野 直治

宮城県仙台市青葉区中山台4丁目14番4号

(74) 代理人 100079290

弁理士 村井 隆

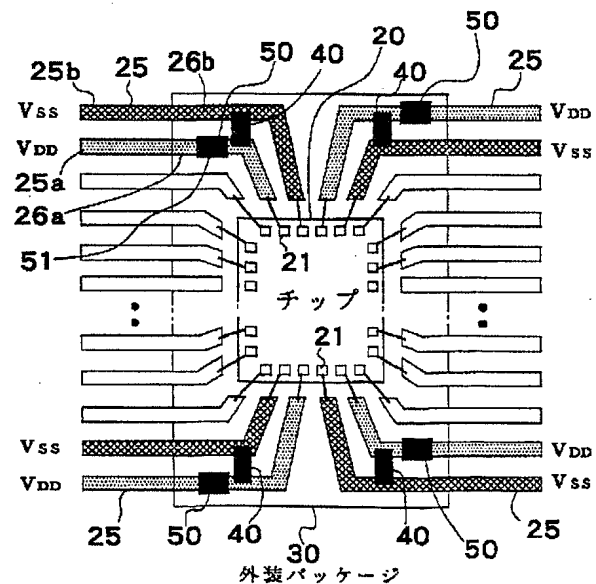
最終頁に続く

(54) 【発明の名称】 デカップリング回路内蔵半導体デバイス

(57) 【要約】

【課題】 デカップリング・コンデンサからIC、LSI側を見込んだインピーダンスよりも当該コンデンサから電源を見込んだインピーダンスを高くして、IC、LSIが発生源となる電磁妨害雑音の抑制効果を高める。また、コストパフォーマンスの高い構成とする。

【解決手段】 直流電源供給用の対をなすインナーリード26a、26bの間に接続されるコンデンサ40と、対をなすインナーリード26a、26bのうち少なくとも一方のものの周囲に複合磁性材料51を設けて構成される直列インピーダンス素子50とを外装パッケージ30内部に備え、前記複合磁性材料51は前記インナーリード26a、26bの前記コンデンサ40の接続点よりも外側寄り位置に配置されている。



25: 導体リード

26: インナーリード

27: 直列インピーダンス素子

【特許請求の範囲】

【請求項1】 直流電源供給用のインナーリード対の間に接続される静電容量素子と、前記インナーリード対のうち少なくとも一方のものの周囲に複合磁性材料を設けて構成される直列インピーダンス素子とを外装パッケージ内部に備え、前記複合磁性材料は前記インナーリードの前記静電容量素子の接続点よりも外側寄り位置に配置されていることを特徴とするデカップリング回路内蔵半導体デバイス。

【請求項2】 前記外装パッケージ内側に収納される半導体チップに前記静電容量素子が設けられている請求項1記載のデカップリング回路内蔵半導体デバイス。

【請求項3】 前記複合磁性材料は、フェライト粉末を樹脂で成型したものである請求項1又は2記載のデカップリング回路内蔵半導体デバイス。

【請求項4】 前記複合磁性材料は、金属磁性粉末を樹脂で成型したものである請求項1又は2記載のデカップリング回路内蔵半導体デバイス。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体チップ（IC、LSIチップ）に直流電源を供給する対をなすラインに付加されたデカップリング回路を備える半導体デバイスに係り、特に半導体チップ側から見込んで逆L型回路構成のフィルタを有するもので、複合磁性材料を用いた直列インピーダンス素子をインナーリードに形成することにより、好適な電磁妨害雑音の抑圧効果を実現したデカップリング回路内蔵半導体デバイスに関する。

【0002】

【従来の技術】従来のデカップリング回路の構成法は大別して次の3通りがある。

【0003】(1) 半導体プロセスによりIC、LSIチップ内にデカップリング・コンデンサを形成（特開平6-120072号）。具体的には、図8の如く、IC、LSIチップ1上に第1電極2、容量絶縁膜3、第2電極4からなるコンデンサを形成し、これをデカップリング回路に利用するものである。

【0004】(2) IC、LSIチップを搭載する基板上にデカップリング・コンデンサとしての積層セラミックチップコンデンサを搭載、接続（特開昭55-108785号、特開昭59-143355号）。具体的には、図9の如く、IC、LSIチップ5を搭載する基板6上の直流電源ライン間にディスクリートの積層セラミックチップコンデンサ7を搭載、接続するものである。

【0005】(3) IC、LSI等の半導体デバイスを搭載するプリント基板にデカップリング・コンデンサを搭載し、接続すると共に、該プリント基板にインダクタを形成、接続（電子通信学会技報EMC J 97-82（1997-12））。具体的には、図10の回路に示すように、IC、LSI等の半導体デバイス10を搭載

するプリント基板にコンデンサ11を搭載し、接続すると共に、図11(A)の平面図、同図(B)の断面図の構造に示すように、前記プリント基板12にインダクタ13を構成している。インダクタ13は上下の複数の導体パターン14をビア・ホール15でフェライト層16を周回する如く直列に接続したものである。

【0006】

【発明が解決しようとする課題】ところで、上記(1)の方法の不具合な点としては、IC、LSIのチップ面積の増大による製造原価の高騰、設計の自由度（コンデンサ容量の変更等）の阻害が挙げられる。

【0007】また、上記(2)の方法の不具合な点としては、デカップリング・コンデンサからIC側を見込んだインピーダンスZICと当該コンデンサから電源を見込んだインピーダンスZPSの間にZIC<<ZPSの関係が必要になるが、必ずしも満足されていないことが挙げられる。このZIC<<ZPSの関係が満足されなければならない理由を図12で説明する。

【0008】図12はデカップリング・コンデンサC1に着目した電流経路モデルであり、図中C1はIC1に対応したデカップリング・コンデンサ、C2はIC2に対応したデカップリング・コンデンサである。ループAはC1とIC1で作る最小ループ（又はC2とIC2で作る最小ループ）で、IC1（又はIC2）のスイッチング動作で生じる高周波電流を環流するものである。ループBはC1と前段回路（この場合、直流電圧供給ライン）で作るループで、本来不要なループである。ループCはC1と後段回路（この場合、C2、IC2以後も電気回路的には含まれる）で作るループで、本来不要なループである。IC1（又はIC2）のスイッチング動作で生じる高周波電流が最小ループAのみを環流している状態が理想的であるが、ZIC<<ZPSが満たされない場合には、スイッチング動作に伴い生じる高周波電流は直流電源ラインを広範に流れる（ループB、Cにも流れる）ようになり、その電流経路は個々のIC1、IC2の電流ループに較べて大きくなる。このループが大きくなるに従い、ループから放射される電磁妨害雑音のレベルは高くなる問題が生じる。

【0009】さらに、(3)の方法の不具合な点としては、プリント基板内にZPSを大きくするためインダクタ（チョークコイル）を形成させるために、プリント基板の面積が増加するし、プリント基板の製造原価も高騰することが挙げられる。

【0010】本発明は、上記の点に鑑み、ZIC<<ZPSの関係を満足させて、IC、LSI等の半導体デバイスが発生源となる電磁妨害雑音の抑制効果を高めることが可能で、コストパフォーマンスの高いデカップリング回路内蔵半導体デバイスを提供することを目的とする。

【0011】本発明のその他の目的や新規な特徴は後述の実施の形態において明らかにする。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明のデカップリング回路内蔵半導体デバイスは、直流電源供給用のインナーリード対の間に接続される静電容量素子と、前記インナーリード対のうち少なくとも一方のものの周囲に複合磁性材料を設けて構成される直列インピーダンス素子とを外装パッケージ内部に備え、前記複合磁性材料は前記インナーリードの前記静電容量素子の接続点よりも外側寄り位置に配置されていることを特徴としている。

【0013】前記デカップリング回路内蔵半導体デバイスにおいて、前記外装パッケージ内側に収納される半導体チップに前記静電容量素子が設けられていてもよい。

【0014】前記複合磁性材料は、フェライト粉末を樹脂で成型したものであってもよいし、金属磁性粉末を樹脂で成型したものであってもよい。

【0015】

【発明の実施の形態】以下、本発明に係るデカップリング回路内蔵半導体デバイスの実施の形態を図面に従って説明する。

【0016】図1及び図2で本発明に係るデカップリング回路内蔵半導体デバイスの第1の実施の形態を説明する。図1は第1の実施の形態の構成図であり、図2は半導体デバイスの直流電源供給部分に着目したモデルをそれぞれ示している。

【0017】図1及び図2に示すデカップリング回路内蔵半導体デバイスは、半導体チップとしてのIC、LSIチップ20の各ボンディングパッド21に導体リード（導体ピン）25をそれぞれボンディングワイヤ等で接続し外装パッケージ30内側に収納した構成に対して、静電容量素子と直列インピーダンス素子からなるデカップリング回路を当該外装パッケージ30内側において付加したものである。デカップリング回路は、直流電源を供給するための導体リード25a、25bの外装パッケージ30内側に位置するインナーリード（インナーピン）26a、26bの対の間に静電容量素子としての積層チップコンデンサ40を搭載、接続するとともに、インナーリード対のうち少なくとも一方のもの（本例ではインナーリード26a）の周囲に複合磁性材料51を成型、固着して直列インピーダンス素子50を構成したものである。複合磁性材料51はインナーリード26aの積層チップコンデンサ40の接続点よりも外側寄り位置に配置され、つまり2本のインナーリード26a、26bがワイヤーボンディングされるチップのパッド21からみて、逆L型接続となるよう積層チップコンデンサ40及び直列インピーダンス素子50を設けている（図2の半導体デバイスに直流電源を供給するラインVcc及びGND（グラウンド）から見た場合L型接続となる。）。なお、25a、26aはV_{DD}用、25b、26bはV_{SS}用の導体リード、インナーリードを夫々示すものとす

る。

【0018】前記複合磁性材料51は、フェライト粉末又は金属磁性粉末をインナーリード26aの周囲に樹脂で成型したものであり詳細は後述する。

【0019】前記外装パッケージ30は、IC、LSIチップ20と各導体リード25との接続及び複合磁性材料51の成型後に樹脂モールド等による樹脂成型で構成する。

【0020】この第1の実施の形態において、コンデンサ40からチップ20側を見込んだインピーダンスZ_{IC}とコンデンサ40から電源を見込んだインピーダンスZ_{PS}（ラインV_{cc}及びGND間）とを比べたとき、コンデンサ40とラインV_{cc}間に直列インピーダンス素子50が形成されることになるため、Z_{IC} < Z_{PS}の関係が満足される。

【0021】上記のようなデカップリング回路を構成することにより、以下の効果を奏することができる。

【0022】(1) デカップリング・コンデンサとしての積層チップコンデンサ40と半導体チップとしてのIC、LSIチップ20で形成される電流ループを最小化できる。これにより半導体デバイスのスイッチング動作に伴い流れる高周波電流のループを小さくでき、ループから放射する電磁妨害雑音を低く抑えることができる。

【0023】(2) デカップリング・コンデンサとしての積層チップコンデンサ40からみたIC、LSIチップ20内のインピーダンスを、当該コンデンサ40からみた直流電源供給ラインのインピーダンスに較べて低くでき、デカップリング・コンデンサとIC、LSIチップ20で形成される最小の電流ループから他のループへの高周波電流の漏出を小さくでき、他のより大きなループから放射する電磁妨害雑音を低く抑えることができる。

【0024】(3) 上記(1)、(2)より、IC、LSIチップ20に供給する直流電流の安定化やバッファ用IC、LSIチップの多出力の同時スイッチングノイズ（ΔIノイズとも言われることがある）の低減に有効であり、同時スイッチングノイズを低減させることにより、IC、LSIが発生源となる電磁妨害雑音の抑制効果を高めることができる。

【0025】(4) IC、LSIのチップ面積の増大、製造原価の高騰、設計の自由度の低下を招くことがなく、また装置側のプリント基板にインダクタを形成する必要もなく、プリント基板の面積が増加したり、プリント基板の製造原価が高くなることもない。従って、コストパフォーマンスの良好な高性能のデカップリング回路を構成できる。

【0026】図3及び図4で本発明に係るデカップリング回路内蔵半導体デバイスの第2の実施の形態を説明する。図3は第2の実施の形態の構成図であり、図4は半導体デバイスの直流電源供給部分に着目したモデルをそ

れぞれ示している。この場合、IC、LSIチップ20に直流電源を供給するためのVDD用導体リード25a、Vcc用導体リード25b間に接続されるようにIC、LSIチップ20内にデカップリング・コンデンサ41を設けている。つまり、VDD用導体リード25a、Vcc用導体リード25bがそれぞれ接続されたチップ20上のボンディングパッド21間に、半導体プロセスでデカップリング・コンデンサ41を当該チップ内に形成している。そして、インナーリード26a、26bの対のうち少なくとも一方のもの（本例ではインナーリード26a）の周囲に複合磁性材料51を成型、固着して直列インピーダンス素子50を構成している。この場合も、ワイヤーボンディングされるチップのパッド21からみて、逆L型接続となるようデカップリング・コンデンサ41及び直列インピーダンス素子50を設けている（図4の半導体デバイスに直流電源を供給するラインVcc及びGND（グラウンド）から見た場合L型接続となる。）。

【0027】なお、その他の構成は前述の第1の実施の形態と同様であり、同一又は相当部分に同一符号を付した。

【0028】この第2の実施の形態によれば、前述の第1の実施の形態の効果に加えて、デカップリング・コンデンサ41を半導体プロセスでIC、LSIチップ20内に予め形成しておくことで、個別部品のコンデンサをインナーリード対に接続する工程を省略して、製造工数を低減でき、量産性の点で優れている。

【0029】上述のように、半導体デバイスに直流電流を供給するためのVDDラインに接続されるインナーリード26aに、直列インピーダンス素子50を形成するための複合磁性材料としては、図5に示したような複素比透磁率を示すフェライト粉末と樹脂粉末とを配合、混練、成型したもの、図6に示したような複素比透磁率を示す金属磁性粉末と樹脂粉末とを配合、混練、成型したものが挙げられ、該複合磁性材料はインナーリード26aの周囲に樹脂成型技術で成型、固着される。

【0030】フェライト粉末を結合材としての樹脂で成型した複合磁性材料の場合、フェライト粉末の母材には高周波において複素比透磁率が大きいNi-Zn系が適する。このNi-Zn系の母材を粉碎し、粒子の直径をおよそ30 μ mに整粒する。フェライト粉末をインナーリード部分に成型固着するための結合材には、例えば、ポリエステル系、ポリフェニレンサルファイド（略称PPS）のような熱可塑性樹脂、エポキシ系、フェノール系等の熱硬化性樹脂等が適する。フェライト粉末の重量配合比率は50%から85%が磁気特性と成型性の面から適正範囲である。

【0031】また金属磁性粉末の場合、高周波において複素比透磁率が大きいSi-Fe系が適する。この場合、Si-Fe系粉末には球状あるいは扁平状の粉末が

用いられる。球状粉末の直径はおよそ50 μ mに整粒し、扁平状粉末はおよそ巾10 μ m、長さ50 μ m、厚さ5 μ m位に整粒する。この粉末をインナーリード部分に成型固着するために用いる結合材には、上記したフェライト粉末の結合材の場合と同様な熱可塑性あるいは熱硬化性の樹脂が用いられる。この場合、金属磁性粉末の重量配合比率は磁気特性と成型性の面から40%から80%位が適正範囲である。

【0032】なお、上述のフェライト粉末の母材において、Mn-Mg系、Mn-Zn系等を用い得ることは当然である。

【0033】同様に金属磁性材料の場合、Fe-Ni系、Fe-Al-Si系等を用い得ることも当然である。

【0034】図7は、厚さ0.15mm、巾0.4mmの42アロイ合金を用いた導体リードのインナーリードに厚さ1.8mm、巾1.5mm、長さ2.0mmの断面矩形筒状となるよう前記Si-Fe系の扁平状粉末を80%、ポリエステル系樹脂の結合材を20%の重量配合比率で配合、混練した複合磁性材料を用いて直列インピーダンス素子を形成した時に得られるインピーダンスの周波数特性である。図中、Rは等価直列抵抗成分、Xはリアクタンス成分、Zはインピーダンスを表す。図から判るように、半導体デバイス的高速スイッチング動作時に生ずるGHz帯での高周波電流を阻止する機能を備え、電磁妨害雑音を抑圧させるためのデカップリング回路を、デカップリング・コンデンサとの組み合わせのもとに実現させることができる。

【0035】また、特に周波数1GHz以上においては直列インピーダンス素子が抵抗として振る舞うため、電磁妨害雑音のもととなる不要な高周波エネルギーを消散させる働きもあり、インナーリードに形成させ、高周波電流を低減させるために、極めて有効である。

【0036】以上本発明の実施の形態について説明してきたが、本発明はこれに限定されることなく請求項の記載の範囲内において各種の変形、変更が可能なのは当業者には自明であらう。

【0037】

【発明の効果】半導体デバイス（特に、CMOSデジタルIC等）をプリント基板に搭載した回路においては、高速でスイッチング動作する半導体デバイスが高周波電流を生じ、この電流が半導体デバイスに直流電源を給電するラインのループを流れ、電磁妨害雑音を放射させることが知られている。こうした半導体デバイスを用いた回路においては直流電源を安定に給電し、前記の高周波電流をバイパスさせるため、VCC及びGND間（半導体デバイスのVDD及びVSS端子ピン間）にデカップリング・コンデンサを設けている。デカップリング・コンデンサの容量値はバイパスさせる高周波電流によって決まるが、1,000PFから10,000PF程度であ

る。

【0038】こうしたデカップリング・コンデンサが接続された半導体デバイスが多数接続される実用回路においては、各半導体デバイスの動作速度の違いにより、デカップリング・コンデンサの容量値が異なってくることがもとで、図12に示したように半導体デバイスのスイッチング動作に伴い生じる高周波電流は直流電源ラインを広範に流れるようになり、その電流経路は個々の半導体デバイスの電流ループ（ループA）に較べて大きくなる。このループが大きくなるに従い、ループから放射される電磁妨害雑音のレベルは高くなる。

【0039】本発明の実施の形態で詳述したとおり、複合磁性材料を用いて直列インピーダンス素子をインナーリードに形成したデカップリング回路を備えてなる本発明に係るデカップリング回路内蔵半導体デバイスにより、次のような効果を奏することができる。

【0040】(1) 半導体デバイスのスイッチング動作により生ずる高周波電流が流れるループを小さくできるため、このループから放射する電磁妨害波を低く抑えることができる。

【0041】(2) インナーリード部分で電磁妨害雑音を抑圧できるため、半導体デバイスを実装するプリント配線基板上に電磁妨害雑音抑圧部品を不要とする、あるいは員数を削減できる等の効果があり、基板サイズの縮小、配線パターンの簡素化もでき、経済的効果が大きい。

【0042】(3) Si-Fe系等の金属磁性粉末と樹脂の複合磁性材料においてはVHF帯からSHF帯で、また、フェライト粉末と樹脂との複合磁性材料においてはUHF帯からSHF帯で複素比透磁率が大きく半導体デバイスが発生する電磁妨害雑音の周波数スペクトラムをカバーする。

【0043】ちなみに、CPU（マイクロプロセッサ）のクロック周波数は400MHzにまであがり、電磁妨害雑音となるクロック周波数の高調波成分はUHF帯からSHF帯に及ぶ。また、パーソナルコンピュータのメインクロック周波数は100MHzにまであがり、電磁妨害雑音となるクロック周波数の高調波成分はVHF帯からSHF帯に及ぶ。

【0044】(4) インナーリードへ形成するデカップリング用直列インピーダンス素子は金型を用いた樹脂成

型工法を適用できるため、形状、寸法設定の自由度が大きい。

【図面の簡単な説明】

【図1】本発明に係るデカップリング回路内蔵半導体デバイスの第1の実施の形態を示す平断面図である。

【図2】第1の実施の形態において、半導体デバイスの直流電源供給部分に着目したモデルの等価回路図である。

【図3】本発明の第2の実施の形態を示す平断面図である。

【図4】第2の実施の形態において、半導体デバイスの直流電源供給部分に着目したモデルを示す等価回路図である。

【図5】デカップリング回路の直列インピーダンス素子を構成するための複合磁性材料の1例であって、フェライト粉末と樹脂の複合磁性材料の複素比透磁率を示すグラフである。

【図6】デカップリング回路の直列インピーダンス素子を構成するための複合磁性材料の他の例であって、金属磁性粉末と樹脂の複合磁性材料の複素比透磁率を示すグラフである。

【図7】金属磁性粉末と樹脂の複合磁性材料を用いた直列インピーダンス素子のインピーダンスの周波数特性を示すグラフである。

【図8】第1従来例の断面図である。

【図9】第2従来例の斜視図である。

【図10】第3従来例の回路図である。

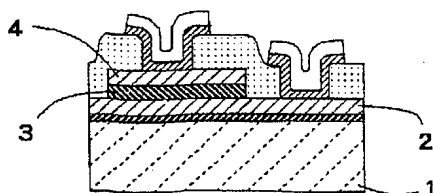
【図11】第3従来例の構造図である。

【図12】デカップリング・コンデンサに着目した電流経路モデルの回路図である。

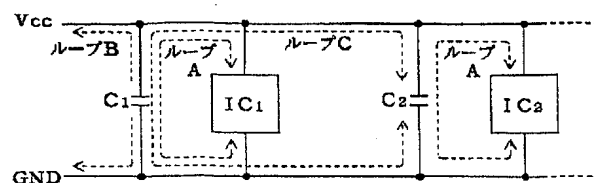
【符号の説明】

- 1, 5, 20 IC, LSIチップ
- 10 半導体デバイス
- 21 ボンディングパッド
- 25, 25a, 25b 導体リード
- 26a, 26b インナーリード
- 30 外装パッケージ
- 40, 41 コンデンサ
- 50 直列インピーダンス素子
- 51 複合磁性材料

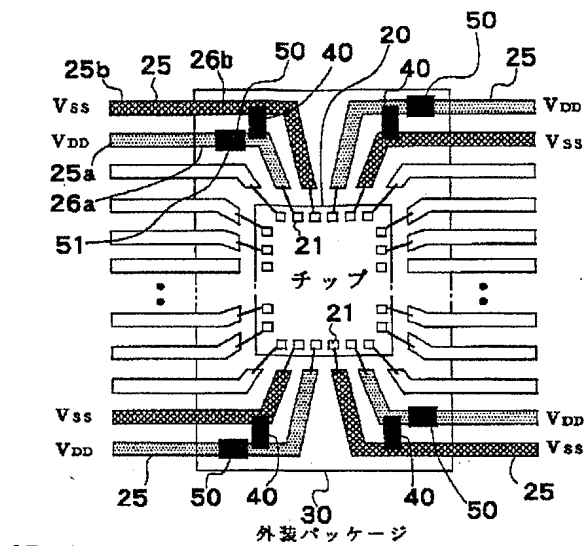
【図8】



【図12】

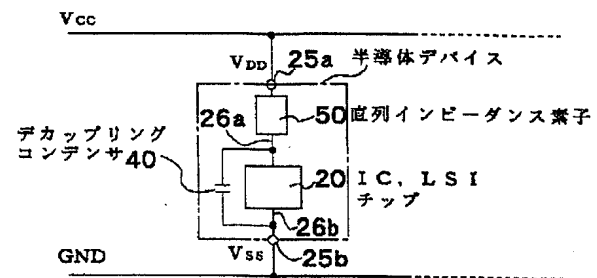


【図1】

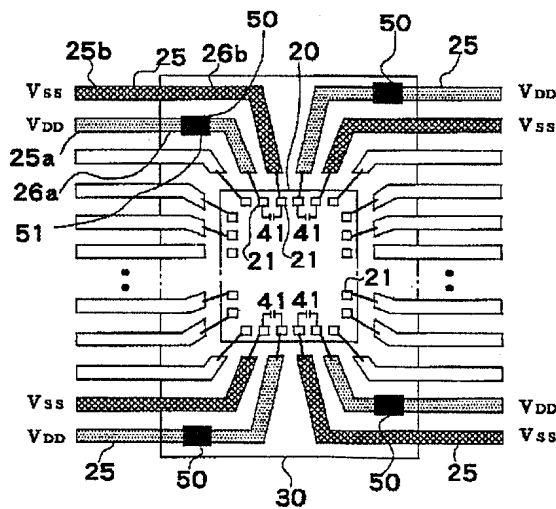


25: 導体リード
26: インナーリード
27: 直列インピーダンス素子

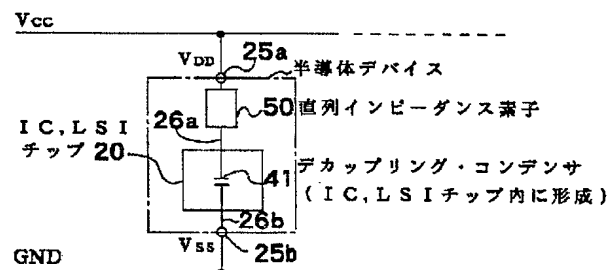
【図2】



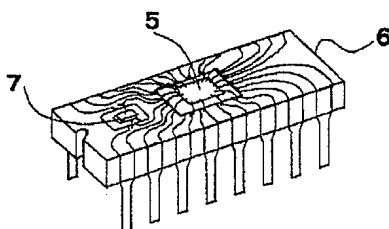
【図3】



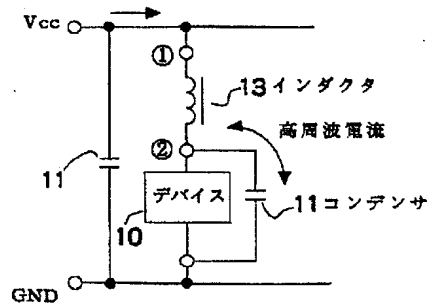
【図4】



【図9】

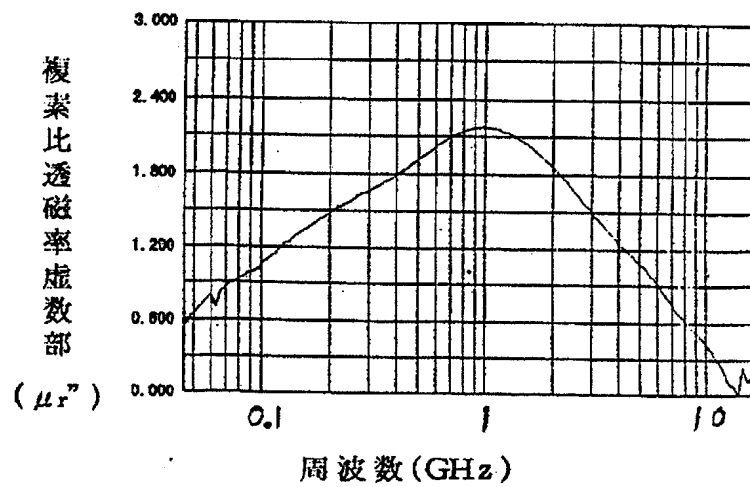
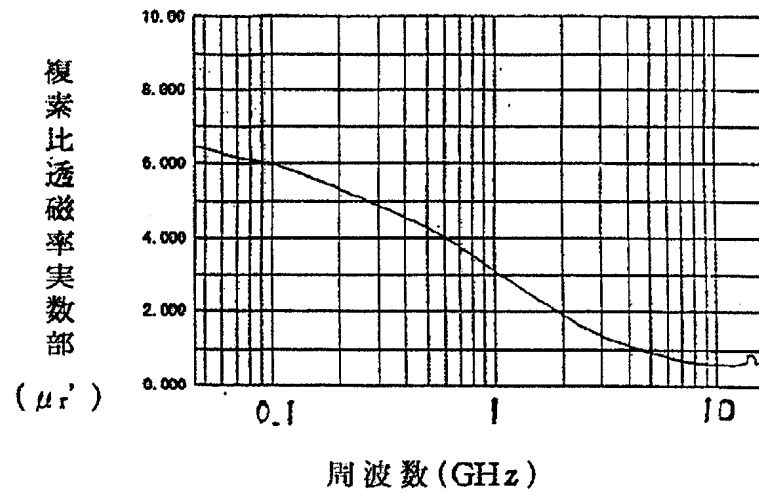


【図10】

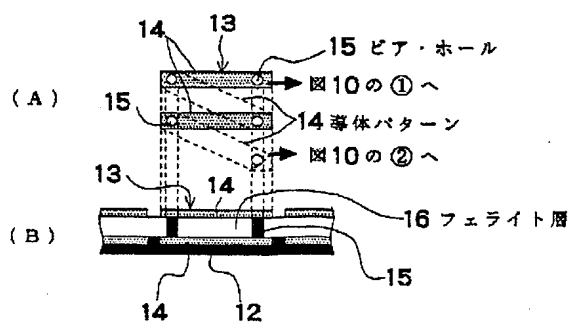


【図5】

フェライト粉末・樹脂複合磁性材料

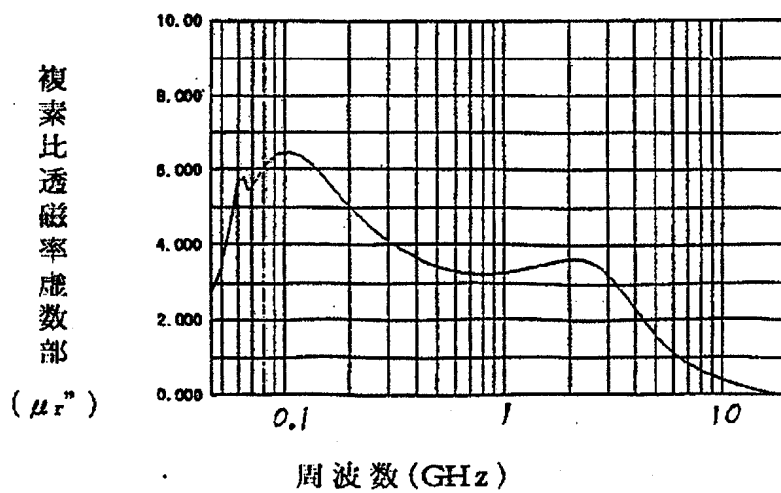
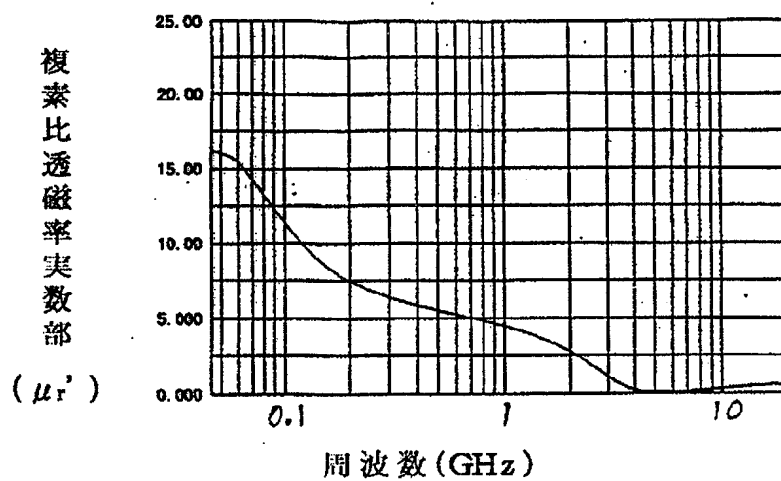


【図11】



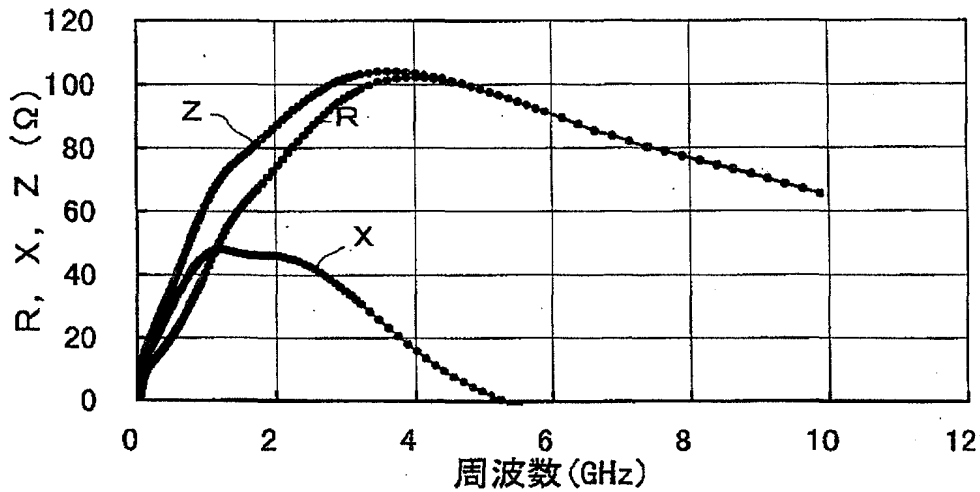
【図6】

金属磁性粉末・樹脂複合磁性材料



【図7】

複合磁性材料：Si-Fe（扁平粉末：80重量%）＋結合材（ポリエステル樹脂：20重量%）
 外側：1.5mm幅×1.8mm厚さ、内側：0.4mm幅×0.15mm高さ、長さ：2mm



フロントページの続き

(72)発明者 赤地 義昭
 東京都中央区日本橋一丁目13番1号ティー
 デイケー株式会社内

(72)発明者 小野 恭裕
 宮城県仙台市泉区泉が丘3丁目20番24号ヒ
 ルコート泉203
 Fターム(参考) 5F067 CD10